

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-114067

⑬ Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑭ 公開 平成1年(1989)5月2日  
H 01 L 27/04 T-7514-5F  
21/66 H-6851-5F  
23/34 Z-6835-5F  
// G 01 R 31/28 V-6912-2G審査請求 未請求 請求項の数 1 (全11頁)

⑮ 発明の名称 信号伝播遅延制御回路

⑯ 特 願 昭63-249718

⑰ 出 願 昭63(1988)10月3日

優先権主張 ⑱ 1987年10月7日 ⑲ 米国(US) ⑳ 106,102

㉑ 発 明 者 ステイーブン・ケー・ アメリカ合衆国 オレゴン州 97006 ビーバートン ノ  
サリバン ースウエスト・ワンハンドレッドアンドエイティス・アベ  
ニユ 1135

㉒ 発 明 者 ドナルド・エフ・マレ アメリカ合衆国 オレゴン州 97051 セント・ヘレン  
イ ズ・ビツツバーク・ロード 29050

㉓ 出 願 人 テクトロニクス・イ アメリカ合衆国 オレゴン州 97077 ビーバートン テ  
ンコーポレイテッド クトロニクス・インダストリアル・パーク サウスウエ  
スト・カール・ブラン・ドライブ 14150

㉔ 代 理 人 弁理士 伊 藤 貞 外1名

#### 明 細 書

発明の名称 信号伝播遅延制御回路

特許請求の範囲

温度の変化に応じて信号伝播遅延時間が変化する集積回路内に設けられ、該集積回路の温度を変化する温度可変手段と、

上記集積回路の信号伝播遅延時間を測定し、その測定結果に基づいて上記温度可変手段を調整して上記集積回路の温度を制御し、信号伝播遅延時間を制御する制御手段と

を具えることを特徴とする信号伝播遅延制御回路。

発明の詳細な説明

(産業上の利用分野)

本発明は、デジタル集積回路(IC)、特に温度制御によって信号伝播遅延時間を調整し得る回路に関する。

(従来技術及び発明が解決しようとする課題)

信号伝播遅延時間とは、IC内の論理素子又は論理素子及び他の回路素子をパルスが通過するの

に要する時間をいう。同じICの場合には論理素子及び回路素子の信号伝播遅延時間は、一般にかなり一様であるが、IC内の総ての回路素子の信号伝播遅延時間は、動作温度に応じて変化する。更に、例えばECL(エミッタ結合論理)素子を用いたロジック・システムでは、そのシステム内の1つ以上のトランジスタに供給されるバイアス信号に応じて、信号伝播遅延時間は、ある範囲内で変化する。多くの場合、このようなバイアス信号は、一定値であり、ICの動作中に変化しないのが普通である。

回路設計者は、信号伝播遅延時間を最小にしようと努力するのが一般的であるが、場合によっては、信号伝播遅延時間を一貫して予測出来るようにすることも大切である。

ICの信号伝播遅延時間を制御する1つの方法の従来例として、ボラックの米国特許第4641048号がある。ボラックの発明によれば、制御対象のICに位相ロック型のリング発振器を組み込んでいる。この発振器に含まれている多数の代

表的な論理素子の信号伝播遅延時間は、各素子に印加されるバイアス信号に部分的に依存する。バイアス信号発生器は、リング発振器の出力 $V_p$ と既知の基準信号 $V_{ref}$ を比較する。このバイアス信号発生器は、信号 $V_p$ 及び $V_{ref}$ 間の位相差の時間積分に比例したバイアス信号 $V_b$ を発生する。この可変バイアス信号 $V_b$ は、リング発振器内の総ての論理素子及びIC内の総ての被制御論理素子に印加される。上記特許公報の記載によれば、バイアス信号 $V_b$ を制御することにより、リング発振器を通過する信号の伝播遅延時間が略一定のレベルに維持される。同じバイアス信号 $V_b$ がIC内の他の総ての被制御論理素子にも印加されているので、バイアス信号 $V_b$ の制御により、IC全体を通過する信号の伝播遅延時間も或る程度調整される。

このような可変バイアス信号により信号伝播遅延時間を制御する方法には、多くの制限がある。例えば、この方法は、バイアス信号と無関係の回路素子の遅延時間には何ら影響を与えない。更に、

CMOS型ICにこの方法を応用することは、IC内のバイアス電圧に制限があるので実用的ではない。

CMOS型の如きICの信号伝播遅延時間は、ICの温度に応じて変化することが知られている。ICに温度センサを接続し、そのICをオープンに入れておくという従来の方法がある。そして、このオープンの温度を調整して、オープンの温度及び少なくとも理論的にはICの温度を一定に保持していた。この方法を実施するには、相当の費用がかかり、且つ多くのICを含む装置の場合には実用的ではない。

このように、ICを通過する信号の伝播遅延時間を一定にする為、もっと具体的に言えば、温度制御により信号伝播遅延時間を一定に維持する為の優れた装置の実現が待たれている。

従って、本発明の目的は、ICの温度制御をすることにより、そのICの信号伝播遅延時間を一定に調整し得る信号伝播遅延時間制御回路を提供することである。

本発明の他の目的は、比較的安価で、且つ殆どの回路部品を遅延時間調整用のICの一部の回路として組み込むことの可能な信号伝播遅延時間制御回路を提供することである。

#### (課題を解決する為の手段及び作用)

本発明によれば、IC内にヒータ及びこのヒータがICに与える熱を制御する回路を内蔵し、ICの信号伝播遅延時間を制御する。ヒータを用いる代わりに、冷却機構を内蔵して同様の目的に利用しても良い。

本発明の1実施例によれば、ICの少なくとも一部を通過する信号の伝播遅延時間が測定され、基準伝播遅延時間と比較される。この測定された遅延時間が基準遅延時間より短い場合には、ヒータの発生する熱を増加するように制御する。測定された遅延時間が基準遅延時間より長い場合には、ヒータの発生する熱を減少するように制御する。

本発明の特定実施例によれば、IC内の論理素子の代表的な遅延特性を有する論理素子から成る

リング発振器にテスト信号源からテスト信号が印加される。このリング発振器の出力パルス列の周波数は、この発振器を通過する信号の伝播遅延時間の関数であり、この信号伝播遅延時間は、ICの温度変化に部分的に依存する。各テスト信号の発生時点毎に基準遅延値(基準計数値)が周波数カウンタにロードされる。この周波数カウンタは、テスト信号のパルス幅の期間中にリング発振器の出力パルス数を基準計数値から減算計数(デクリメント)する。周波数カウンタの出力信号は、各テスト信号パルスの停止時点に於ける基準計数値から減算計数されたカウンタの計数値に対応している。ヒータ・カウンタがヒータ初期値を記憶しており、上記周波数カウンタの出力信号に応じて、ヒータ・カウンタは計数範囲内で上記ヒータ初期値から加算計数及び減算計数動作を行う。このヒータ・カウンタは、ヒータ初期値から加算計数及び減算計数した値に対応するヒータ制御信号を出力する。ヒータ制御信号が順次ヒータの動作を調整し、信号伝播遅延時間を一定にするのに適する

熱をヒータに発生させる。ヒータ初期値及び基準計数値は可変である。

本発明の実施例では、ヒータは複数の集積熱発生素子（例えば、異なるチャネル幅を有する複数のMOS型トランジスタ）で構成されている。各トランジスタはオンすると熱を発生する。ヒータ制御信号がこれら熱発生素子を制御し、ヒータが発生する熱を調整する。

テスト信号のパルス幅は一樣でも良い。しかし、ヒータの制御を最適化する為にテスト信号のパルス幅を変化させても良い。テスト信号のパルス幅を変化させることにより、ヒータの発生熱の変化後にリング発振器の温度が安定状態に達するまでに要する遅延時間を補償することが出来る。

#### 〔実施例〕

本発明は、ICを通過する信号の伝播遅延時間を略一定且つ不変の状態に維持することが望まれるいかなる場合にも応用し得る。

ICの信号伝播遅延時間を一定にすることが重

要となる特定応用例の1つは、ICの試験の場合である。第2図は、本発明を応用可能なICテスト・システムの一部のブロック図であり、被試験用IC(10)が示されている。通常、IC(10)に信号を供給するのに用いられる複数のドライバ(12)は、例えば256ピンのICに対して256個のドライバから構成されている。出力比較器(14)は、供給された信号に対するIC(10)の出力を既知の応答と比較する為に用いられる。この情報により、IC(10)が適正に機能しているか否かが確認される。このようなドライバ及び比較器を有するICテスト装置の一例は、米国オレゴン州ビーバートンにあるテクトロニクス社から販売されているLT-1000型ICテスト・システムがある。

ドライバ(12)及び比較器(14)は、普通各々ICを含んでいる。これらのドライバ及び比較器の動作中に、各回路の供給電圧及び温度が変化することがある。例えば、周囲温度の変化或いはICの消費電力の変化等により、ICの温度が

変化することがある。このような温度変化により、ドライバ及び比較器を通過する信号の伝播遅延時間が変化するという不都合が生じることがある。これらの信号の中には、ICの伝播遅延時間測定に用いられるものもあるので、ドライバ(12)及び比較器(14)の伝播遅延時間の変化は、ICの伝播遅延時間の測定値の誤差の原因になる。

ICの信号伝播遅延時間の安定性を向上する為に、調整の必要な各ICに本発明の制御回路を追加する。この追加回路は、ICの一部の伝播遅延時間を監視する手段を内蔵している。更に、この追加回路は、ICの温度を変化する手段も内蔵しており、ICの伝播遅延時間を略一定に維持することが出来る。

第1図に、本発明の好適実施例のブロック図を示している。信号伝播遅延時間を一定にするICを含むICチップ(22)に、測定遅延回路(20)が内蔵されている。この測定遅延回路(20)は、ICチップ(22)に内蔵されているので、測定遅延回路(20)の伝播遅延時間は、チップ(22)

の温度変化に応じてチップ(22)内の他の回路と略同様の影響を受ける。

ICチップ(22)と熱的に結合したヒータ(24)がICチップ(22)を選択的に過熱して信号伝播遅延時間を調整する。ヒータ(24)は、ICチップ(22)上に他の回路と共に実装した集積過熱素子であることが望ましい。また、ヒータ(24)は、測定遅延回路(20)に比較的近い位置に設けられるのが普通である。これにより、ヒータ(24)からの熱により測定遅延回路(20)の温度が変化するまでの時間的遅れを最小にすることが出来る。金属製リードフレームを用いている代表的なICチップは、比較的熱伝導性が良く、ヒータ(24)の発生した熱をチップ内の回路に伝えることが出来る。また、通常プラスチック製又はセラミック製の比較的熱伝導性のパッケージ(26)がチップ(22)の周囲を覆っている。このパッケージ(26)により、ICチップ(22)の温度を周囲温度に対して高くすることが出来る。

このように、ICチップ(22)内の総ての回路は接近しており、熱伝導性の高い材料で形成されているので、ICチップ内の総ての回路は略同一の温度に維持されている。また、温度及び電圧のような、チップ内の1つの回路の信号伝播遅延時間を変化させる要因は、同一のチップ内の総ての回路に関して略同一になる。従って、例えば測定遅延回路(20)のようなチップ内のどれかの回路の伝播遅延時間を測定し、その情報からチップの温度を調整することにより、チップ内の総ての回路の伝播遅延時間を一定に調整することが出来る。

測定遅延回路(20)からの伝播遅延時間の測定情報に基づいて、制御手段(30)はヒータ(24)を制御する。即ち、遅延時間の測定値が所望の値より短いと、ヒータ(24)の発生する熱を増加するように制御する。逆に、測定された伝播遅延時間が所望の値より長いと、ヒータ(24)の発生する熱を減少するように制御する。このようにして、信号伝播遅延時間が極めて精密に制御

される。

第1図の基準遅延回路(32)は、所望の伝播遅延時間に相当する基準遅延信号を発生する。遅延比較回路(34)が、基準遅延回路(32)からの基準遅延信号と測定遅延回路(20)からの測定遅延信号とを比較する。遅延比較回路(34)の出力は、所望の遅延時間と実際に測定された遅延時間との時間差に相当する。基準遅延信号及び測定遅延信号間の関係に基づき、発生する熱をそのまま維持するか又は調整するようにヒータ制御信号によりヒータ(24)が制御される。マイクロプロセッサを含む基準遅延時間設定回路(40)が所望の基準遅延信号を設定する。更に、後述するように、測定遅延回路(20)はテスト信号源(42)からのテスト信号に応じて伝播遅延時間を測定する。

第3図は、第1図の回路の一部を詳細に示したブロック図である。測定遅延回路(20)にはリング発振器(51)が内蔵されている。正確な基準となるテスト信号がテスト信号源(42)から

ライン(50)に送られ、リング発振器(51)のゲート入力(52)に供給される。このテスト信号は、第6図及び第7図に示すような繰り返しデジタル信号である。第6図において、テスト信号は時間tの期間、高論理状態にある。この時間tは、リング発振器(51)が出力端(54)に多くのパルスを出力し得る程長い。

第4図は第3図のリング発振器(51)を表すブロック図である。リング発振器(51)は、N個の論理素子を含み、この場合、NANDゲート(58)の後に偶数個のインバータを出力が次のインバータの入力になるように直列に接続している。N番目のインバータの出力がリング発振器の出力になっている。このN番目の出力はNANDゲート(58)の第1入力にも接続している。NANDゲート(58)の他方の入力は、リング発振器のゲート入力(52)になっている。このリング発振器を構成している論理素子は、IC内の他の論理素子を代表する信号伝播遅延特性を有している。

このような構成により、高論理レベルのテスト信号がゲート(52)に供給されている間に、リング発振器(51)は測定遅延信号を出力する。このリング発振器の出力パルスの周波数は、発振器内の論理素子の信号伝播遅延時間の関数になっている。更に、この伝播遅延時間は、部分的にICチップ(22)の温度の関数(第7図参照)になっている。即ち、リング発振器(51)の信号伝播遅延時間が短くなると、発振器の出力端(54)から出力されるパルスの周波数は高くなる。その上、ICチップ(22)の温度が高くなると、リング発振器(51)の信号伝播遅延時間が増加する。この伝播遅延時間の増加によりリング発振器(51)の出力パルスの周波数は低くなる。これと反対に、ICチップ(22)を冷却出来る場合には、リング発振器(22)の伝播遅延時間が減少して出力パルスの周波数は増加する。

第3図の基準遅延回路(32)は、所望の周波数を記憶する12ビットのレジスタ(60)のような記憶手段を含んでいる。レジスタ(60)の

ロード入力(62)に入力される基準遅延ロード信号に応じて、基準遅延信号の初期値(2進データ)がレジスタ(60)の12ビットの初期値入力端(64)にロードされる。この初期値の決定に関しては後述するが、レジスタ(60)に異なる値を入力するだけでこの初期値を所望の値に変えることが出来る。

第3図の遅延比較器(34)は、12ビットの周波数カウンタ(70)を含んでいる。このカウンタのロード入力端(72)をテスト信号ライン(50)に接続し、計数入力端(74)をリング発振器(51)の出力端(54)に接続し、基準遅延入力端(76)をレジスタ(60)の12ビットの揺動子端(65)に接続している。ライン(50)のテスト信号が高論理状態になると、レジスタ(60)に記憶された12ビットの基準遅延値が出力(65)から入力(76)を介して周波数カウンタ(70)にロードされる。

リング発振器出力(54)からのパルスが周波数カウンタ(70)で計数される。1つの方法で

は、基準パルスが周波数カウンタ(70)に入力する毎に計数値が0に設定される。この場合、ライン(50)のテスト信号が低論理レベルに変化した時点の周波数カウンタ(70)の計数値によりリング発振器(51)の信号伝播遅延時間が測定される。例えば、リング発振器(51)の伝播遅延時間が長くなれば、周波数カウンタ(70)の計数値が小さくなる。上述の方法を第3図の実施例に利用しても良いが、基準パルスの入力毎に周波数カウンタ(70)の計数値を0に設定しなくても良い。その代わり、周波数カウンタ(70)の計数値を基準周波数値に設定する。この基準周波数値はレジスタ(60)から得られる値であり、各テスト信号のパルス幅の期間中に周波数カウンタ(70)が計数する所望の計数値に対応している。更に、周波数カウンタ(70)の計数値は、初期値から増加するのではなく、順に減少するように設計されている。テスト信号の終端時(即ち、テスト信号が低論理状態に変化した時点)に、リング発振器(51)はパルス出力を停止する。従

って、テスト信号の終端時に周波数カウンタ(70)内に残る計数値は、所望の基準計数値(初期値)から実際に測定した計数値を差し引いた値になる。

ICの信号伝播遅延時間が短過ぎる場合には、リング発振器(15)の出力パルスの周波数は所望値より高くなる。この場合、テスト信号の終端以前に周波数カウンタ(70)の計数値は、負の値に減少してしまう。周波数カウンタ(70)の計数値が負を表す2の補数になっている時、周波数カウンタ(70)のMSB(最大ビット)は論理「1」になっている。このMSBは、周波数カウンタ(70)の出力端(78)に接続されている。後述するように、この出力が発生した時、ヒータ(24)は、第1図のICチップ(22)の温度を上昇させ、信号伝播遅延時間を総て増加させる。反対に、ICチップの伝播遅延時間が長過ぎる場合には、テスト信号の終端時点で周波数カウンタ(70)の計数値は正の値になる。この正の計数値は、リング発振器(51)からの出力パルスの周波数が低過ぎることを示している。周波

数カウンタ(70)の計数値が正の時、周波数カウンタ(70)のMSBは論理「0」になり、出力端(78)も「0」になる。この場合の情報により、ヒータ(24)の発生する熱が減少される。ヒータ(24)の発生熱が減少すると、ICチップ(22)の温度が低下し、信号伝播遅延時間が総て減少する。

第3図のヒータ制御回路(36)は、8ビットのヒータ・カウンタ(80)及びD型フリップ・フロップ(82)を含んでいる。フリップ・フロップ(82)のD入力端は周波数カウンタ(70)の出力端(78)に接続している。また、フリップ・フロップ(82)のQ出力端はヒータ・カウンタ(80)のインクリメント/デクリメント(INC./DEC.)入力端(84)に接続している。更に、ライン(50)上のテスト信号は、ヒータ・カウンタ(80)のクロック入力(86)(CK)に供給されると共に、反転してフリップ・フロップ(82)のクロック入力(CK)にも供給されている。ヒータ・カウンタ(80)のロ

ード入力端 (LOAD) (88) にロード信号が入力すると、ヒータ・カウンタ (80) の入力端 (90) に8ビット2進データのヒータ初期値がロードされる。また、8ビットのヒータ制御信号がヒータ・カウンタ (80) の出力端 (92) からヒータ (24) に送られる。このヒータ制御信号の値は、ヒータ初期値にヒータ・カウンタ (80) の入力端 (84) の入力値を加算又は減算した値である。ヒータ初期値は可変であるが、普通は、ヒータ (24) の発生熱が可変範囲の略中央となるような値に選択される。

各テスト信号の開始時点で周波数カウンタ (70) にレジスタ (60) から基準遅延値がロードされると、ヒータ・カウンタ (80) が計数を開始する。周波数カウンタ (70) の出力端 (78) が論理「1」の時、ヒータ・カウンタ (80) の計数値は増加 (インクリメント) する。この場合、フリップ・フロップ (82) のQ出力端からヒータ・カウンタ (80) の入力端 (84) に入力する信号は高論理状態になっている。反対に、周波

数カウンタの出力端 (78) が論理「0」の時、ヒータ・カウンタ (80) の計数値は減少 (デクリメント) する。後述するように、ヒータ・カウンタ (80) の出力端 (92) の出力値によってヒータ (24) の発生熱が制御される。ヒータ・カウンタ (80) の計数値が大きくなると、ヒータ (24) の発生熱が増加し、その結果、信号伝播遅延時間が増加する。

第5図は、ヒータ (24) の1実施例のヒータ回路 (96) を示している。このヒータ回路 (96) は、制御信号に応じて熱を発生する集積熱発生素子を多数含んでいる。これら熱発生素子はMOS型トランジスタを含み、ヒータ・カウンタ (80) の出力端 (92) の各ビット毎に1つのトランジスタが対応している。但し、第5図では、その中の4個のトランジスタ (98a)、(98b)、(98g) 及び (98h) を示している。これらのトランジスタのゲートは、ヒータ・カウンタ (80) の出力ビットに夫々接続し、各トランジスタのドレイン及びソースは、正電源+V及び接

地電位源間に接続している。トランジスタ (98a) ~ (98h) は、各々異なるチャネル幅を有し、ヒータ・カウンタ (80) のMSBに接続されたトランジスタが最大のチャネル幅を有している。具体例として、第1トランジスタ (98a) のチャネル幅をXとすると、第2、第3、...第8トランジスタの各チャネル幅を夫々順に2X、4X、8X、16X、32X、64X、及び128Xのようにしても良い。このようにトランジスタのチャネル幅を設計することにより、ヒータ・カウンタのMSBからLSB (最小ビット) までの各ビットの制御によって、各トランジスタは上位側のトランジスタの1/2の電流を切り換える。このようにして、ヒータ・カウンタ (80) の計数値によりヒータ回路 (96) を流れる電流値をリニアに制御することが出来る。ヒータ回路 (96) から発生する熱は、ヒータ回路を流れる電流と供給電圧との積に比例している。

誤動作を防止する為に、第3図のヒータ・カウンタ (80) は、計数値が最大値に達した時には

計数値を増加せず、且つ、計数値が最小値に達した時には計数値を減少させないように設計されている。第3図に於いて、1対のアンド・ゲート (100) 及び (102) と、これら両ゲートの出力端を入力端に接続したオア・ゲート (104) とにより上記誤動作が防止される。オア・ゲート (104) の出力は反転されてヒータ・カウンタ (80) のイネーブル入力端 (ENABLE) (106) に供給される。また、アンド・ゲート (100) の入力端はフリップ・フロップ (82) のQ出力端及びヒータ・カウンタ (80) の最大値出力端 (MAX) (108) に接続している。更に、アンド・ゲート (102) の入力端はフリップ・フロップ (82) の/Q出力端 (Qの反転出力端) 及びヒータ・カウンタ (80) の最小値出力端 (MIN) (110) に接続している。ヒータ・カウンタ (80) の計数値が最大値に達すると、MAX出力端 (108) からアンド・ゲート (100) に論理「1」の信号が送られる。次に、フリップ・フロップ (82) のQ出力信号が

論理「1」になると、アンド・ゲート(100)の出力端からオア・ゲート(104)に論理「1」の信号が送られる。よって、オア・ゲート(104)の出力が論理「1」となり、反転された論理「0」の信号がヒータ・カウンタ(80)のイネーブル入力端(106)に供給され、ヒータ・カウンタ(80)の加算計数動作が停止される。このように、フリップ・フロップ(82)の出力によってヒータ・カウンタ(80)の計数値が減少する時までヒータ・カウンタ(80)の計数動作は停止している。反対に、ヒータ・カウンタ(80)の計数値が最小値に達すると、ヒータ・カウンタ(80)のMIN出力端(110)から論理「1」の信号がアンド・ゲート(102)に送られる。この時、フリップ・フロップ(82)の/Q出力端が論理「1」(即ち、Q出力によりヒータ・カウンタ(80)が減算計数状態)の場合、アンド・ゲート(102)の出力が論理「1」になり、オア・ゲート(104)の出力も論理「1」になる。この信号が反転され、論理「0」の信号がヒ

ータ・カウンタ(80)のイネーブル入力端(106)に供給され、カウンタの減算計数動作が停止される。このように、ヒータ・カウンタ(80)は、或る範囲内で加算計数動作及び減算計数動作をするように設計されている。

後述する理由により、論理「1」のディセーブル(disable)信号をオア・ゲート(104)の入力端に接続したライン(112)に選択的に供給しても良い。このディセーブル信号に応じて、ヒータ・カウンタ(80)は加算計数動作又は減算計数動作を停止する。更に、フリップ・フロップ(82)の状態、即ち周波数カウンタ(70)の出力を監視する為に、フリップ・フロップのQ出力をライン(114)を介して読み出しても良い。ライン(112)上のディセーブル信号の印加とライン(114)上の状態監視(読み出し)は、回路の初期化の際に実行されるが、これに関しては後述する。

この回路全体が適正に動作する為には、テスト信号の入力間隔を短くし過ぎないことが重要であ

る。もし、ヒータ(24)の発生熱による温度上昇がICチップ(22)を介してリング発振器(51)に伝播しないうちに、多数のテスト信号が入力すると、平衡計数値(即ち、基準値)を超えてヒータ・カウンタ(80)が何度も加算計数動作又は減算計数動作を行うかも知れない。このような状態になると、ヒータ・カウンタ(80)の計数値は、非常に大きな数値と非常に小さな数値の間で変化する発振状態になる。この発振状態の範囲が小さい場合には問題にならないが、大きな範囲の発振状態は望ましくない。

このような発振状態の範囲を狭めるには、テスト信号の周波数を低減すれば良い。換言すれば、第6図のテスト信号の高論理レベルの幅を長くすれば良い。こうすれば、リング発振器(51)を含むICチップ(22)に僅かな温度変化が伝播する時間的余裕が生じ、多くのテスト信号が短時間に入力するようなことはない。また、ヒータ(24)とリング発振器(51)の間隔を接近させることにより、温度変化の伝播効率を高めるこ

とが出来る。多くの場合、テスト信号のバース幅を一樣にすることが望ましいが、テスト信号の周波数を低減する方法には、信号伝播遅延時間の変化に対する回路全体の応答速度を遅くするという欠点がある。繰り返しになるが、IC内の種々の回路の電力消費量の変化、或いは供給電圧の変化等に起因するICチップの温度変化によって信号伝播遅延が発生し得るのである。

大幅なヒータ・カウンタの発振状態を伴うことなく、信号伝播遅延時間の変化に対する回路の応答性能を向上する1つの方法は、テスト信号の幅を可変にすることである。即ち、テスト信号の高論理状態の幅を可変にすれば良い。幾つかのテスト信号の幅を長くし、別の幾つかのテスト信号の幅を短くし、その間の数個のテスト信号の幅をそれらの中間程度にすることにより、条件の変化に応じて、ヒータ・カウンタ(80)のスループレートを変化させることが出来る。例えば、第7図の(A)、(B)及び(C)に示すようなテスト信号を使用しても良い。第7図に於いて、テス

ト信号(B)の高論理状態の幅は $t$ であり、テスト信号(A)の幅は $t + \Delta$ であり、テスト信号(C)の幅は $t - \Delta$ である。ここで、 $\Delta$ は微小時間を表す。(A)及び(C)型の多くのテスト信号に(B)型のテスト信号を少々加えてテスト信号列を形成するのが普通である。具体例として、45%の(A)型のテスト信号と、45%の(C)型のテスト信号と、10%の(B)型のテスト信号とによりテスト信号列を構成し得る。その上、これら(A)型と(C)型のテスト信号を略交互に繰り返し、それらの間に(B)型のテスト信号を周期的に挿入した信号列を第3図の回路に入力しても良い。

リング発振器(51)の遅延と平衡(基準)遅延との隔たりがかなり大きい時、これら総てのテスト信号によりヒータ・カウンタ(80)は平衡(基準)計数値に向かって計数動作を行う。これにより、ヒータ(24)がICチップ(22)に与える熱の変化を適正に制御する。測定された遅延が基準遅延に近づくと、第7図の(A)の長い

テスト信号によってヒータ・カウンタ(80)は、加算計数し、(C)の短いテスト信号によってカウンタ(80)は減算計数する。長いテスト信号と短いテスト信号のパルス数が等しいので、これらの計数値は実質的に互いに打ち消される。この場合にヒータ・カウンタ(80)の計数値に実質的な影響を与えるのは、長いテスト信号と短いテスト信号の中間のパルス幅を有する第7図(B)の数少ないテスト信号である。このように、回路が平衡状態に接近するにつれてヒータ・カウンタ(80)に影響する基準テスト信号のパルス数が減少する。この結果、不都合なカウンタの発振状態の発生確率を低減し、回路の温度応答時間を比較的短縮することが出来る。

上述のように、上記テスト信号はテスト信号源(42)から本発明の回路に供給される。このテスト信号を発生する信号源は、従来の発振器及び分周器を用いて構成されるのが普通である。別の方法として、マイクロ・プロセッサによって発振器のパルスを計数して第7図のようなテスト信号

を混合したパルス列を作成することも出来る。通常、ICチップの温度変化がテスト信号に影響しないように、ICチップ(22)とテスト信号源(42)との位置は隔離されている。しかし、水晶発振器のような比較的溫度安定性の高いテスト信号源を用いれば、所望によりICチップ内にテスト信号源を内蔵することも出来る。

第3図の回路動作は、周波数レジスタ(60)に最初0をロードすることにより初期化される。同時に、ヒータ・カウンタ(80)には最大値及び最小値の間の所望の中間値がロードされる。また、ヒータ・カウンタ(80)は、ライン(112)のディセーブル信号により加算計数及び減算計数の両動作が禁止されている。初期化からICチップの温度が安定する時間の経過後、テスト信号が供給される。このテスト信号から得られる周波数カウンタ(70)の計数値をバス(図示せず)を介して読出し、その値を反転して記憶しても良い。そして、ICの電力供給の停止直後及び任意時間後に周波数レジスタ(60)に初期値としてロー

ドしても良い。或いは、ライン(114)の出力を監視することも出来る。この場合、例えば復帰2進探索法を用いて種々の値を周波数レジスタ(60)にロードし得る。或る値によりライン(114)の信号が論理「1」となり、その後の値によりライン(114)の信号のレベルが変化する時、前者の値が初期基準値となる。この初期基準値を周波数カウンタ(60)にロードした後、本発明の回路の通常動作が起動し、ICの信号伝播遅延時間の調整を開始する。この時、外部校正装置を用いてICの信号伝播遅延時間を測定し、訂正及び校正のテーブル(表)を作成することも出来る。IC内の回路の電力消費量がたとえ変化したとしても、これらのテーブルの値は常に正確である。

これら初期条件が整った後、本発明の回路の動作を良く理解する為に次のような状況を考えてみる。回路が或る期間動作し、安定状態に到達したが、ICの信号伝播遅延時間が少し長過ぎる場合を仮定する。テスト信号が回路に供給されると、



レジスタ(60)から周波数カウンタ(70)に初期値がロードされ、リング発振器(51)が起動する。短時間後に、テスト信号は低論理レベルに変化する。こうなると、周波数カウンタ(70)の計数値は略り付近の値となる。この例では、遅延時間が僅かながら長いと仮定しているので、カウンタ(70)の計数値は正である。このことは、リング発振器(51)の出力の周波数が低過ぎることを示している。次のテスト信号の発生時点で、周波数カウンタ(70)の計数値が正なのでヒータ・カウンタ(80)は減算計数する。ヒータ・カウンタ(80)の減算計数により、ヒータ(24)を流れる電流が僅かに低減する。ヒータ(24)の電力消費量が僅かに減少するので、ヒータの温度も低下し始める。その結果、リング発振器(51)を含むICチップ(22)全体の温度が僅かに低下する。温度が低下すると、ICの信号伝播遅延時間が減少し、最初の伝播遅延時間のずれが補正される。

以上本発明の好適実施例について説明したが、

ブロック図、第4図は、第3図のリング発振器の実施例を表すブロック図、第5図は、第3図のヒータの実施例を表す回路図、第6図は、テスト信号の一例を示す波形図、第7図は、テスト信号の他の例を表す波形図である。

(20)は測定遅延回路、(22)はICチップ、(24)はヒータ、(32)は基準遅延回路、(34)は遅延比較回路、(36)はヒータ制御回路、(42)はテスト信号源である。

本発明はここに説明した実施例のみに限定されるものではなく、本発明の要旨を逸脱する事なく必要に応じて種々の変形及び変更を実施し得る事は当業者には明らかである。

#### 〔発明の効果〕

本発明によれば、温度変化に応じて信号伝播遅延時間が変化するIC内にヒータ或いは冷却装置のような温度可変手段を設け、信号伝播遅延時間の測定値に基づいてこの温度可変手段を制御してICの信号伝播遅延時間を制御するので、ICをオープンで囲む必要もなく、ICのバイアス電圧制御の場合のような制限もなく、容易な温度制御によって信号伝播遅延時間の正確な制御を可能にし得る。

#### 図面の簡単な説明

第1図は、本発明に係る好適実施例のブロック図、第2図は、本発明を応用可能なICのブロック図、第3図は、第1図の実施例の一部の詳細な

代理人 伊 藤 貞

同 松 隈 秀 盛

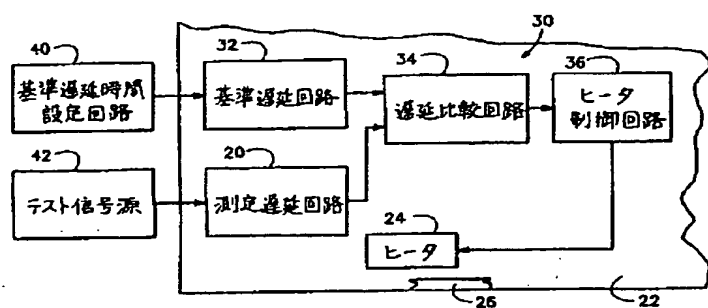


FIG. 1

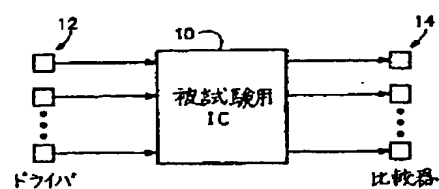


FIG. 2

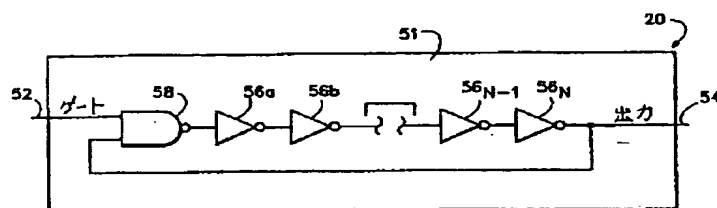


FIG. 4

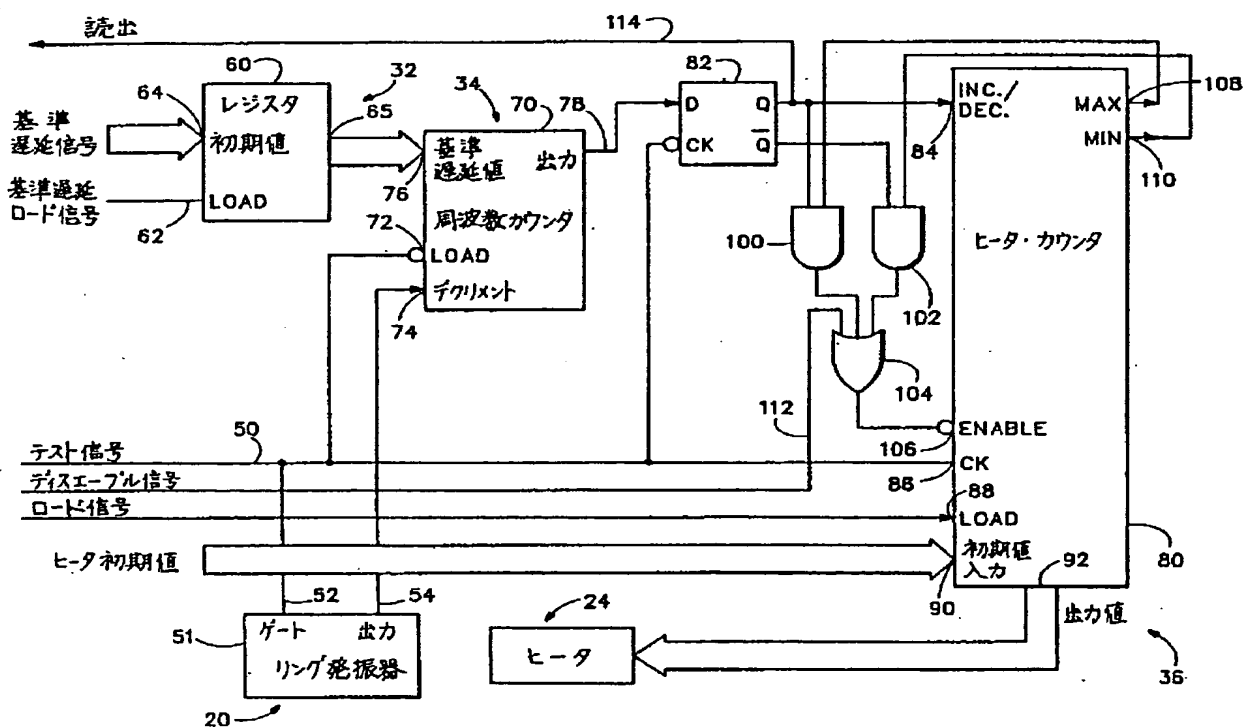


FIG. 3

